

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-227105

(43)Date of publication of application : 08.10.1991

(51)Int.Cl.

H03F 3/45

H03F 3/34

(21)Application number : 02-021120

(71)Applicant : SONY CORP

(22)Date of filing : 31.01.1990

(72)Inventor : YUASA MASAMI

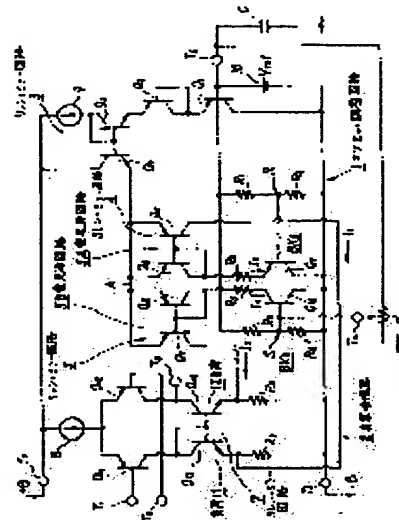
(54) OFFSET ADJUSTMENT CIRCUIT FOR OPERATIONAL AMPLIFIER

(57)Abstract:

PURPOSE: To realize an offset adjustment circuit not subjected to the effect of a temperature change and precluding the possibility of unbalancing differential balance by varying a DC current in a couple of current source circuits provided with a couple of resistors and a couple of bias circuits.

CONSTITUTION: When nothing is connected to a connection mid-point S (terminal pin T4) between voltage division resistors R5, R6 and resistance values r_3 , r_4 of resistors R3, R4 are selected equal, emitter currents I3, I4 of transistors (TRs) Q7, Q10 are made equal to each other. Since a term of a base-emitter voltage VBE is not included in equation representing the current, even when the voltage VBE is changed due to temperature, both the currents are unchanged.

Furthermore, even when the resistance values of resistors R1-R6 changes due to temperature, since they are formed in an IC, the combined resistance is unchanged. A voltage VS at the midpoint S is varied by a variable resistor R9 and a base voltage of the TRQ10 is changed, then the current I4 is changed. Thus, emitter currents I3, I4 of the TRs Q7, Q10 are increased in terms of gain by current mirrors 4, 5 based on an offset adjustment range to obtain adjustment currents I1, I2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-227105

⑫ Int. Cl.³

H 03 F 3/45
3/34
3/45

識別記号

B 8326-5 J
A 8326-5 J
A 8326-5 J

庁内整理番号

⑬ 公開 平成3年(1991)10月8日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 演算増幅器のオフセット調整回路

⑮ 特 願 平2-21120

⑯ 出 願 平2(1990)1月31日

⑰ 発 明 者 湯 浅 正 美 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑲ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 演算増幅器のオフセット調整回路
特許請求の範囲

一対の差動トランジスタ、その各エミッタに接続された定電流回路及び上記一対の差動トランジスタの各コレクタに接続された負荷抵抗器を備える演算増幅器と、

上記差動トランジスタの各負荷抵抗器に夫々各別の直流電流を供給する一対の電流源回路と、

該一対の電流源回路の少なくとも一方の直流電流を可変する可変手段とを有し、

上記一対の電流源回路は、抵抗値の等しい一対の抵抗器、該一対の抵抗器に直列接続された一対のトランジスタ及び該一対のトランジスタに基準電圧源からの基準電圧に基づいて夫々ベースバイアス電圧を印加する一対のバイアス回路を備えて成ることを特徴とする演算増幅器のオフセット調整回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は演算増幅器のオフセット調整回路に関する。

〔発明の概要〕

本発明は、一対の差動トランジスタ、その各エミッタに接続された定電流回路及び一対の差動トランジスタの各コレクタに接続された負荷抵抗器を備える演算増幅器と、差動トランジスタの各負荷抵抗器に夫々各別の直流電流を供給する一対の電流源回路と、その一対の電流源回路の少なくとも一方の直流電流を可変する可変手段とを有し、一対の電流源回路は、抵抗値の等しい一対の抵抗器、その一対の抵抗器に直列接続された一対のトランジスタ及びその一対のトランジスタに基準電圧源からの基準電圧に基づいて夫々ベースバイアス電圧を印加する一対のバイアス回路を備えて成るようにしたことにより、温度変化により影響を受け難く、差動バランスを崩す虞がないようにしたものである。

〔従来の技術〕

演算増幅器を用いた直流増幅回路は、IC内の

初段の増幅回路等では、演算増幅器のオフセットが問題になる。

演算増幅器のオフセットを調整する方法としては、大きく分けて、2つの方法がある。その一つは、演算増幅器を構成する差動トランジスタの能動負荷としてのカレントミラー回路のトランジスタのエミッタ電流を調整する方法であり、他の一つは、入力信号にオフセット調整用の電圧を加算する方法である。

まず、第2図を参照して、前者の方法が適用された演算増幅器について説明する。(2)は演算増幅器を示し、これはICの一部に形成されている。又、 $T_1 \sim T_4$ はそのICのピンを示す。 Q_{11} 、 Q_{12} はPNP型の差動トランジスタを示し、その各エミッタは、定電流回路(8)及びピン T_1 を通じて正電源+Bに接続される。トランジスタ Q_{11} 、 Q_{12} の各ベースは、夫々入力端子ピン T_2 、 T_3 に接続され、各コレクタは夫々後述する負荷(11)、(12)を構成するカレントミラー回路(7)のダイオード接続のNPN型のトランジスタ Q_{13} 及びNPN

型のトランジスタ Q_{14} の各コレクタに夫々接続される。又、トランジスタ Q_{12} のコレクタは出力端子ピン T_4 に接続される。

カレントミラー回路(7)の各トランジスタ Q_{13} 、 Q_{14} の各エミッタは夫々抵抗器 R_1 、 R_2 及びピン T_5 を通じて負電源-Bに接続される。そして、トランジスタ Q_{13} 及び抵抗器 R_1 によって、トランジスタ Q_{11} の負荷(11)が構成され、トランジスタ Q_{14} 及び抵抗器 R_2 によって、トランジスタ Q_{12} の負荷(12)が構成される。

R_1 、 R_2 は、オフセット調整用の可変抵抗器(ポテンショメータ)で、外付部品であり、その両端がピン T_5 、 T_6 を通じて、トランジスタ Q_{13} 、 Q_{14} の各エミッタに夫々接続され、その可動端子は負電源-Bに抵抗される。

かかる演算増幅器では、トランジスタ Q_{11} 、 Q_{12} の負荷(11)、(12)が能動負荷、即ち、カレントミラー回路(7)にて構成されているので、無信号時において、トランジスタ Q_{11} 、 Q_{12} の各コレクタ電位の一方が増大又は減少すれば、他方も増大

又は減少して、両コレクタ電位が等しく成るので、トランジスタ Q_{11} 、 Q_{12} の V_{BE} が等しければ、オフセットは発生しない。

ところが、トランジスタベース・エミッタ間電圧 V_{BE} は、

$$V_{BE} = \frac{kT}{q} \cdot \ln(I_E / I_{EO})$$

(但し、 k はボルツマン定数、 q は電子の電荷、 I_E はエミッタ電位、 I_{EO} は逆方向飽和電位)で表わされるから、トランジスタ Q_{11} 、 Q_{12} において、 T_1 、 I_E 又は I_{EO} のいずれかが異なれば、その各 V_{BE} も異なることになる。

そこで、入力端子ピン T_2 、 T_3 に同電圧を与えた状態で、出力端子ピン T_4 の出力電圧が0Vとなるように、可変抵抗器 R_1 の調整により、トランジスタ Q_{13} 、 Q_{14} のエミッタ電流を調整する。

次に、第3図A、Bを参照して後者の調整方法が適用された、演算増幅器を用いた増幅回路について説明する。(2)は、上述の第2図で説明したのと同様の、IC内の演算増幅器を示している。

演算増幅器(2)の反転入力端子ピン T_2 に、入力抵抗器 R_{11} が接続され、その非反転入力端子ピン T_3 には入力抵抗器 R_{12} が接続されている。又、反転入力端子ピン T_2 及び出力端子ピン T_4 間には帰還抵抗器 R_{13} が接続され、非反転入力端子ピン T_3 及び接地間に接地抵抗器 R_{14} が接続されている。

そして、正電源+B及び負電源-B間に可変抵抗器(ポテンショメータ) R_{15} を接続し、その可動端子を抵抗器 R_{11} を通じて、第3図Aでは反転入力端子ピン T_2 に、第3図Bでは非反転入力端子ピン T_3 に夫々接続して、夫々入力電圧に正負の電源電圧に亘って変化する直流電圧を重ねる。

この場合も、可変抵抗器 R_{15} を可変して、演算増幅器(2)のオフセットを調整する。

(発明が解決しようとする課題)

ところで、上述の第2図について説明した演算増幅器では、等価的にIC内部の抵抗器 R_1 、 R_2 。

の抵抗を、外付けの可変抵抗器 R_v で調整することになるので、以下の3つの条件、即ち、そのIC化した演算増幅器の温度特性と、可変抵抗器 R_v の温度特性の相異と、電源投入後の温度の違い、及び、気温の変化によって、ある温度条件で可変抵抗器 R_v を調整してオフセットを0にしても、上述の3つの条件の変化によって演算増幅器にオフセットが発生する。又、IC化した演算増幅器(2)に外付け可変抵抗器 R_v を接続するためには、2個の端子ピン T_1, T_2 を必要とする。

又、上述の第3図について説明した増幅回路では、演算増幅器(2)のオフセットをキャンセルするために入力電圧に加算する電圧が、電源電圧の変動によって大きく変動する。又、演算増幅器(2)の周辺抵抗器 $R_{11} \sim R_{13}$ をIC内に設けた場合、抵抗器 R_{11} はこれら抵抗器 $R_{12} \sim R_{13}$ より大きな抵抗器を用いないと、調整感度が高くなりすぎているので、IC内に設けることができない。又、この抵抗器 R_{11} を外付けとした場合は、温度の変化によってオフセットが発生する。又、このように

ランジスタ Q_7, Q_{10} に基準電圧源(10)からの基準電圧に基づいて夫々ベースバイアス電圧を印加する一対のバイアス回路 BK_1, BK_2 を備えて成るものである。

(作用)

上述せる本発明によれば、抵抗値の等しい一対の抵抗器 R_3, R_4 、その一対の抵抗器 R_1, R_2 に直列接続された一対のトランジスタ Q_7, Q_{10} 及びその一対のトランジスタ Q_1, Q_2 に基準電圧源(10)からの基準電圧に基づいて夫々ベースバイアス電圧を印加する一対のバイアス回路 BK_1, BK_2 を備えて成る一対の電流源回路(5A), (5B)の少なくとも一方の直流電流を可変手段 R_v によって可変することによってオフセットを調整する。

(実施例)

以下に、第1図を参照して、本発明の一実施例について詳細に説明するも、第2図について説明した演算増幅器(2)と対応する部分には、同一符号

入力信号に直流電圧を重ねると、演算増幅器(2)の差動バランスが崩れる虞が有る。

かかる点に鑑み、本発明は温度変化の影響を受け難く、差動バランスを崩す虞のない演算増幅器のオフセット調整回路を提案しようとするものである。

(課題を解決するための手段)

本発明は、一対の差動トランジスタ Q_{11}, Q_{12} 、その各エミッタに接続された定電流回路(9)及び一対の差動トランジスタ Q_{11}, Q_{12} の各コレクタに接続された負荷抵抗器 R_7, R_8 を備える演算増幅器(2)と、差動トランジスタ Q_{11}, Q_{12} の各負荷抵抗器 R_7, R_8 に夫々各別の直流電流を供給する一対の電流源回路(5A), (5B)と、その一対の電流源回路(5A), (5B)の少なくとも一方の直流電流を可変する可変手段 R_v とを有し、一対の電流源回路(5A), (5B)は、抵抗値の等しい一対の抵抗器 R_3, R_4 、その一対の抵抗器 R_3, R_4 に直列接続された一対のトランジスタ Q_7, Q_{10} 及びその一対のト

を付して、その重複説明は省略する。この実施例では、演算増幅器(2)を有するIC内に、オフセット調整回路(1)を形成している。以下に、このオフセット調整回路(1)について説明する。

(3)はダイオード接続のNPN型トランジスタ Q_3 及びNPN型トランジスタ Q_4 から構成されるカレントミラー回路で、トランジスタ Q_3 のコレクタは定電流源(9)及び端子ピン T_1 を介して正電源+Bに接続され、そのエミッタは、ダイオード接続のPNP型トランジスタ Q_1 のエミッタ・コレクタ間、PNP型トランジスタ Q_1 のエミッタ・コレクタ間及び端子ピン T_2 を通じて負電源-Bに接続される。そして、トランジスタ Q_4 のコレクタは端子ピン T_1 を通じて正電源+Bに接続され、そのエミッタは、後述するカレントミラー回路(4)及び(5)の各トランジスタ Q_5, Q_6 及び Q_8, Q_9 の各エミッタに共通に接続される。

(10)はバンドギャップリファレンス回路から成る温度特性の良い定電圧電源から成る基準電圧源で、その正端子がトランジスタ Q_1 のベースに、

負端子が端子ピンT₁を通じて負電源-Bに接続されている。又、この基準電圧源(10)の正端子は、端子ピンT₂を通じて、一方の電極が接地されたコンデンサCの他方の電極に接続されている。

(5A), (5B)は電流源回路で、夫々カレントミラー回路(4), (5)を有し、カレントミラー回路(4)はダイオード接続のPNP型トランジスタQ₄及びPNP型トランジスタQ₅から構成され、カレントミラー回路(5)はダイオード接続のPNP型トランジスタQ₆及びPNP型トランジスタQ₇から構成される。これらカレントミラー回路(4), (5)のダイオード接続のトランジスタQ₄, Q₆は夫々抵抗器R₁, R₂を介してPNPトランジスタQ₇, Q₅の各エミッタに夫々接続され、これらのトランジスタQ₄, Q₆の各コレクタは端子ピンT₂を通じて負電源-Bに接続されている。一方、カレントミラー回路(4), (5)のトランジスタQ₅, Q₇の各コレクタは夫々演算増幅器(2)のカレントミラー回路(7)を構成するトランジスタQ₁₃, Q₁₄の各エミッタに夫々接続されている。

のように表すことができる。

$$\begin{aligned} V_{T1} &= V_{T2} + I_{E1} r_{E1} + 2 V_{BE} \\ &= V_{T2} + I_{E1} r_{E1} + 2 V_{BE} \quad \dots (1) \end{aligned}$$

そして、点Aの電位V_Aは、トランジスタQ₄の電位と等しく成るから、トランジスタQ₄, Q₆のベース・エミッタ間電圧をV_{BE}とすると、次式のように表わされる。

$$V_{T1} = V_{T2} + 2 V_{BE} \quad \dots (2)$$

従って、上式(1)のV_{T1}+I_{E1}r_{E1}及びV_{T2}+I_{E2}r_{E2}は夫々基準電圧源(10)の基準電圧V_{REF}と等しいことが分かる。

次に、分圧抵抗器R₁, R₂により、それらの接続中点Rの電位V_RをV_R=(1/2)V_{REF}とすると、分圧抵抗器R₁, R₂並びにR₃, R₄の抵抗値にr₁, r₂並びにr₃, r₄が夫々等しく、仮に、r₁=r₂=r₁並びにr₃=r₄=r₂とすればトランジスタQ₇, Q₅のエミッタ電流I_{E1}, I_{E2}は夫々次のように表すことができる。

$$I_{E1} = V_{REF} / 2 r_1 \quad \dots (3)$$

$$I_{E2} = V_{REF} / 2 r_2 \quad \dots (4)$$

この基準電圧源(10)からの基準電圧V_{REF}が、夫々バイアス回路BK₁, BK₂を構成する分圧用の抵抗器R₁, R₂並びにR₃, R₄によって、例えば1/2に分圧されて、トランジスタQ₇, Q₅のベースにバイアス電圧として印加される。

又、トランジスタQ₄のベースは端子ピンT₁を通じて、外付けのオフセット調整用可変抵抗器(ポテンショメータ)R₅の可動端子に接続される。この可変抵抗器R₅の一端が上述の端子ピンT₁に接続され、他端が接地される。

上述の演算増幅器(2)及びそのオフセット調節回路(1)の各トランジスタのベース・エミッタ間電圧をV_{BE}とし、各分圧抵抗器R₁及びR₂間並びにR₃及びR₄間の各接続中点R₁, R₂の電位を夫々V_{R1}, V_{R2}とし、トランジスタQ₇, Q₅の各エミッタ電流を夫々I_{E1}, I_{E2}とし、カレントミラー回路(4), (5)のトランジスタQ₅, Q₇のコレクタ電流を夫々I_{C1}, I_{C2}とし、各抵抗器R_n(n=1, 2, ..., 4)の抵抗値をr_n(n=1, 2, ..., 4)とし、図に示す点A(トランジスタQ₄のエミッタ)電位V_Aは次

そして、分圧抵抗器R₃, R₄の接続中点S、即ち、端子ピンT₂に何も接続されていないときは、抵抗器R₃, R₄の抵抗値r₃, r₄を等しくすれば、トランジスタQ₇, Q₅のエミッタ電流I_{E1}, I_{E2}は互に等しく成る。そして、これら電流I_{E1}, I_{E2}の式には、トランジスタのV_{BE}の項は含まれていないので、温度によりV_{BE}が変化しても、電流I_{E1}, I_{E2}は変化しない。又、抵抗器R₁~R₄の抵抗値r₁~r₄が温度によって変化しても、これらはIC内に形成されているので、抵抗値r₁~r₄が等しいことに変わりはない。

ここで、例えば分圧抵抗器R₃, R₄の接続中点Sの電位V_{R2}を、可変抵抗器R₅で可変して、トランジスタQ₄のベース電圧を0~V_{REF}の範囲で変化されることによって、トランジスタQ₄のエミッタ電流I_{E1}は0~V_{REF}/r₁の範囲で変化する。従って、これらトランジスタQ₇, Q₅のエミッタ電流I_{E1}, I_{E2}にオフセット調整範囲に基づいて、カレントミラー回路(4), (5)にてゲインをかけて調整用電流I₁, I₂を得る。

上述の説明より明らかなように、可変抵抗器 R_o 及びコンデンサ C を除いて、オフセット調整回路(1)の全体を演算増幅器(2)を有するICの中に形成したので、オフセット調整によって、入力信号に対するゲインバランスを低下させる虞はない。又、外付け可変抵抗器 R_o の接続のための端子ピンを T_o だけを付加し、他の端子ピンは外付けコンデンサ C 用の端子 T_c を兼用しているので、別の用途で基準電圧源(10)の基準電圧 V_{ref} を出力するような場合や、複数の回路、即ち、上述の演算増幅器(2)を複数同じIC内にIC化するようなときでも、少ないピン端子で済む利点がある。

尚、上述の演算増幅器(2)及びそのオフセット調整回路(1)において、オフセット調整の調整範囲が狭い場合は、例えば、カレントミラー回路(3)、(4)、(5)のトランジスタ Q_{o1} 、 Q_{o2} 、 Q_{o3} の各エミッタに抵抗器を入れるか、そのエミッタ面積を変えれば良い。

上述の実施例によれば、演算増幅器の負荷(11)、(12)として、カレントミラー回路を用いた能動負

荷の場合について述べたが、抵抗器負荷であっても良い。

〔発明の効果〕

上述せる本発明によれば、抵抗値の等しい一対の抵抗器、一対の抵抗器に直列接続された一対のトランジスタ及び一対のトランジスタに基準電圧源からの基準電圧に基づいて夫々ベースバイアス電圧を印加する一対のバイアス回路を備えて成る一対の電流源回路の少なくとも一方の直流電流を可変手段によって可変するようにしたので、オフセット調整後の温度変化によるオフセット値の変化を低減すると共に、オフセット調整によって演算増幅器の差動バランスが崩れる虞はない。

図面の簡単な説明

第1図は本発明の一実施例を示す回路図、第2図は従来例を示す回路図、第3図は他の従来例を示す回路図である。

(1)はオフセット調整回路、(2)は演算増幅器、(5A)、(5B)は電流源回路、(3)、(4)、(5)、(7)は夫々

カレントミラー回路、 BK_{o1} 、 BK_{o2} はバイアス回路、(8)は定電流回路、(10)は基準電圧源、(11)、(12)は負荷、 Q_{o1} 、 Q_{o2} は差動トランジスタ、 Q_{o3} 、 Q_{o4} はトランジスタ、 R_o は可変抵抗器、 $R_1 \sim R_8$ は抵抗器である。

代理人 松 隈 秀 盛

